

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 08236741  
PUBLICATION DATE : 13-09-96

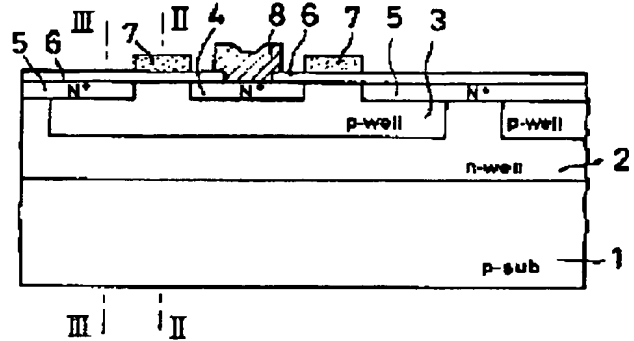
APPLICATION DATE : 22-12-95  
APPLICATION NUMBER : 07335481

APPLICANT : SONY CORP;

INVENTOR : HAMAZAKI MASA HARU;

INT.CL. : H01L 27/146 // H04N 5/335

TITLE : SOLID IMAGE PICKUP ELEMENT



ABSTRACT : PURPOSE: To provide a solid image pickup element which enables the suppression of short channel effect and also is favorable for nondestructive read.

CONSTITUTION: The title solid image pickup element comprises a source region 4 and a drain region 5 made on a semiconductor substrate 1, a gate region provided between these source region 4 and drain region 5, and a gate electrode 7 provided through an insulating layer 6 on the gate region, and signal charge generated by photoelectric transfer is accumulated under the gate electrode, and also a surface channel geared to the quantity of signal charge accumulated under the gate electrode is made on the surface of the gate region.

COPYRIGHT: (C)1996,JPO

**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-236741

(43)公開日 平成8年(1996)9月13日

(51)Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/146

H 0 1 L 27/14

A

// H 0 4 N 5/335

H 0 4 N 5/335

E

審査請求 有 請求項の数 1 O L (全 8 頁)

(21)出願番号

特願平7-335481

(62)分割の表示

特願昭63-334297の分割

(22)出願日

昭和63年(1988)12月29日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 浜崎 正治

東京都品川区北品川6丁目7番35号 ソニー株式会社内

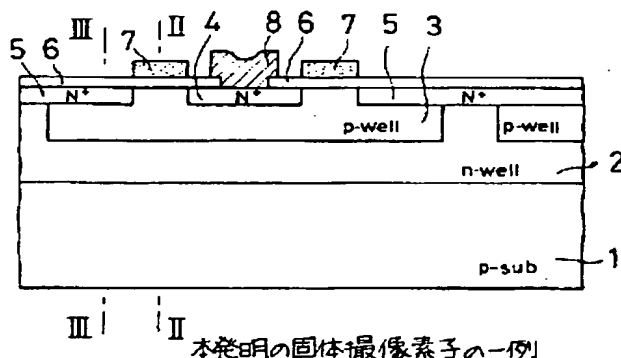
(74)代理人 弁理士 小池 晃 (外2名)

(54)【発明の名称】 固体撮像素子

(57)【要約】

【課題】 ショートチャンネル効果の抑制や電流容量の増大を可能とし、またまた、非破壊な読み出しにも有利な固体撮像素子を提供する。

【解決手段】 半導体基板1上に形成されたソース領域4及びドレイン領域5と、これらソース領域4及びドレイン領域5の間に設けられたゲート領域と、該ゲート領域上に絶縁層6を介して設けられたゲート電極7からなり、上記ゲート電極下に光電変換により生じた信号電荷を蓄積するとともに、上記ゲート領域の表面に上記ゲート電極下に蓄積された上記信号電荷の量に応じた表面チャンネルが形成される。



1

## 【特許請求の範囲】

【請求項1】 半導体基板上に形成されたソース領域及びドレイン領域と、これらソース領域及びドレイン領域の間に設けられたゲート領域と、該ゲート領域上に絶縁層を介して設けられたゲート電極からなり、上記ゲート電極下に光電変換により生じた信号電荷を蓄積するとともに、上記ゲート領域の表面に上記ゲート電極下に蓄積された上記信号電荷の量に応じた表面チャンネルが形成されるようになされた素子よりなる画素をマトリクス状に配列したことを特徴とする固体撮像素子。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体層の表面にソース領域及びドレイン領域が形成されて、各画素毎に光信号電荷が増幅される内部増幅型の固体撮像素子に関する。

## 【0002】

【従来の技術】固体撮像素子の高解像度化の要求に従って、画素毎に光信号電荷を増幅する内部増幅型固体撮像素子の研究・開発が進められてきている。

【0003】この内部増幅型固体撮像素子の主なものとしては、静電誘導トランジスタ(SIT)、増幅型MISイメージャ(AMI)、電荷変調デバイス(CMD)等の各種撮像デバイス構造が知られている(例えば、AMIに関しては、「テレビジョン学会誌」、1075頁～1082頁、Vol. 41, No. 11, 1987年、CMDに関しては、同誌、1047頁～1053頁、同号を参照。)

【0004】また、横型静電誘導トランジスタに関しては、特開昭61-136388号公報に記載される先行技術がある。

## 【0005】

【発明が解決しようとする課題】ところが、上述のような各種デバイスには、それぞれ次のような欠点がある。

【0006】まず、SIT型においては、素子特性が構造に敏感であり、特性が変動し易いものとなる。また、AMI型では単位セルにトランジスタが3つ必要となり、感度やトランジスタの利得を大きくするのが困難である。

【0007】また、CMD型では、n-エピタキシャル層の厚みは8 $\mu$ mにも達し、深いものとなっている。このため、ショートチャンネル効果を受けやすく、同時に電流容量も小さくなる。また、CMD型ではホールがゲートに非常に近い深さに蓄積されるため、そのミラー電荷(エレクトロン)がゲートに集められることになる。従って、フォトホールのコンダクタンスへの寄与が小さくなり、電流増幅率が低下する。さらに、CMD型の光感度分布に関しては、受光領域として働くのはゲート電極及びその近傍に限られ、十分な感度が得られない。また、固体撮像素子においては、その微細化、高集積化が

2

求められているが、CMD型ではフォトホールを捕獲する深さにチャンネルを形成する必要があり、比例縮小も容易でない。

【0008】そこで、本発明は上述の技術的な課題に鑑み、ショートチャンネル効果の抑制や電流容量の増大が可能で、また、非破壊な読み出しにも有利な固体撮像素子の提供を目的とする。

## 【0009】

【課題を解決するための手段】上述の目的を達成するため、本発明の固体撮像素子は、半導体基板上に形成されたソース領域及びドレイン領域と、これらソース領域及びドレイン領域の間に設けられたゲート領域と、該ゲート領域上に絶縁層を介して設けられたゲート電極からなり、上記ゲート電極下に光電変換により生じた信号電荷を蓄積するとともに、上記ゲート領域の表面に上記ゲート電極下に蓄積された上記信号電荷の量に応じた表面チャンネルが形成されるようになされた素子よりなる画素をマトリクス状に配列したことを特徴とする。

## 【0010】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しながら説明する。

【0011】まず、図1から図3を参照しながら、その基本的な構成について説明すると、図1に示すように、この実施の形態の固体撮像素子は、その画素が第1導電型であるp型のシリコン基板1上に半導体層としてのn型のウェル領域2が形成される。このn型のウェル領域2の表面には、同じ導電型のn<sup>+</sup>型のソース領域4とn<sup>+</sup>型のドレイン領域5が形成され、それらソース領域4とドレイン領域5の間には、上部に絶縁膜6を介してゲート電極7が配されたゲート領域が設けられる。そして、基板表面でソース領域4を取り囲むように第1導電型の島領域であるp型のウェル領域3が形成され、このp型のウェル領域3は上記ドレイン領域5まで延在される。また、ソース領域4には、絶縁膜6を開口してアルミ配線層8が基板表面に形成される。ここで、各領域の深さは、その濃度分布の中心の深さで、n型のウェル領域2は例えば2.5 $\mu$ m程度であり、p型のウェル領域3は例えば1.0 $\mu$ m程度であり、また、ソース領域4、ドレイン領域5は例えば0.5 $\mu$ m程度である。また、シリコン基板1の濃度は、 $3 \times 10^{14} \text{ cm}^{-3}$ 程度である。

【0012】次に、そのポテンシャル分布については、図2及び図3に示すようになる。

【0013】図2は、図1のII-II線断面に沿ったポテンシャル分布であり、実線P<sub>01</sub>はゲート電圧が低レベルの時のポテンシャルを示す。この時、実線P<sub>01</sub>はn型のウェル領域2の深さで極小点s<sub>0</sub>を有し、その深さより浅い領域では、ポテンシャルの傾斜に沿ってフォトホールが蓄積される。図2中、破線P<sub>02</sub>はゲート電圧が高レベルの時のポテンシャルを示し、ゲート電圧が高レベル

の時に光信号電荷の蓄積が有る場合には、一点鎖線 $P_{03}$ のようなポテンシャル分布となる。ゲート電圧が高レベルの時は、p型のウェル領域3の深さにポテンシャルの極大点 $s_1$ が形成され、この極大点に蓄積されるフォトホールの電荷量 $Q_h$ に応じて表面にチャンネルが形成される。すなわち、ホールの電荷量 $Q_h$ に応じてバックゲート（ボディエフェクト）の効果が加わり、表面チャンネル内の電子数を変調する。この表面の電荷量 $Q_e$ によって、ソース・ドレイン電流が変化し、結局、信号電荷に応じた読み出しが可能となる。

【0014】図3は、図1のIII-III線に沿った断面のポテンシャル分布であり、曲線 $P_{04}$ にはp型のウェル領域3とn型のウェル領域2及びp型のシリコン基板1によって極小値 $s_2$ が設けられる。その結果、この極小値 $s_2$ よりも浅い領域では、フォトホールが蓄積されることになり、この蓄積されるフォトホールは、さらにより電位の低いゲートの下部側へと集められることになる。従って、この固体撮像素子では、ゲート電極7の形成されていないドレイン領域5やソース領域4の下部の領域でも、光感度を有していることになり、その感度が向上することになる。

【0015】このような素子においては、分光感度を有する領域は、n型のウェル領域2の極値 $s_0$ 、 $s_2$ の深さまでであり、その感度が向上することになる。また、その深さは、p型のウェル領域3、n型のウェル領域2、シリコン基板1の深さ、濃度等によってフォトホールが蓄積される深さ（ $s_1$ ）とは独立に設定でき、その比例縮小を容易に行うことができ、また、チャンネルの形成される深さを浅くすることによって、ショートチャンネル効果の抑制や電流量の増大が可能となる。また、ゲート及びその近傍以外の部分でも光感度を有することになり、その開口率が大幅に向上する。また、非破壊な読み出しに有利となる。

【0016】次に、この固体撮像素子の平面レイアウトの一例について、図4を参照しながら説明する。この固体撮像素子では、特にp型のウェル領域に蓄積される信号電荷をリセットする必要があるため、リセット手段を加えた構成を有している。

【0017】図4に示すように、その平面レイアウトは、図中一点鎖線で示され正方形に形成されたp型のウェル領域3を有し、そのp型のウェル領域3の周囲から内側の部分にゲート電極7が引き回されている。このゲート電極7の形状は、ウェル領域3の形状に従って、同じく略正方形のソース領域4を囲んで形成され、その1つの辺7aでは、図中横方向へ走査回路に接続するために延在されている。この略正方形に引き回されたゲート電極7の内側のソース領域4からは、コンタクトホール9を介して、垂直信号線となるアルミ配線層8が接続される。

【0018】ところで、この固体撮像素子では、そのp

型のウェル領域3にフォトホールが蓄積されて、表面チャンネルの電子数が変調される。従って、信号のリセットを行う場合には、p型のウェル領域3にリセット電圧を与える必要がある。そこで、この固体撮像素子においては、p型のウェル領域3に接続するようリセット手段10が形成される。このリセット手段10は、オーバーフローを制御するようにも機能し、このリセット手段10に接続するリセットゲート電極11の電位によってリセットとオーバーフローが制御される。

10 【0019】このリセット手段10は、具体的には、図5のaや図5のbに示すような構成にすることができる。なお、図5のa、bは図4のv-v線断面に相当する。

【0020】図5のaは、リセット手段10の一例であって、p型のシリコン基板1へ不要電荷を掃き出す例である。すなわち、上記リセットゲート電極11の両端側の基板表面にリセットトランジスタのソース・ドレイン領域12a、12bが形成され、その一方のソース・ドレイン領域12aはp型のウェル領域3に接続する。また、その他方のソース・ドレイン領域12bはn型のウェル領域2、2の間に領域13を介してp型のシリコン基板1に接続する。そして、リセットゲート電極11の電位を低くすることで、ソース・ドレイン領域12a、12b間にチャンネルが形成され、さらに電荷は領域13を介してp型のシリコン基板1に掃き出されることになる。

【0021】このような構造とすることで、受光時にはオーバーフローコントロールが可能である。また、リセット時には、p型のウェル領域3に蓄積される画素の電荷をリセットすることもできる。

30 【0022】図5のbは、上記リセット手段10の他の例であって、電極15に不要電荷が掃き出される例である。その構成は、上記リセットゲート電極11の両端側の基板表面にリセットトランジスタのソース・ドレイン領域14a、14bが形成され、その一方のソース・ドレイン領域14aはp型のウェル領域3に接続する。また、その他方のソース・ドレイン領域14b上には、コンタクトホールが形成されて電極15が接続する。

40 【0023】図6は、この図5のbのリセット手段のポテンシャルの機能を示す図であって、破線 $\Phi_{FCG}$ がリセットゲート電極11によるポテンシャル障壁を示し、レベル $\Phi_i$ がフォトホールの蓄積がない状態のレベルであり、レベル $\Phi_f$ がフォトホールが充満した時のレベルである。 $\Phi_{FCG}$ のレベルの制御によって、不要電荷（ホール）がオーバーフロドレインとして機能するソース・ドレイン領域14bや電極15に掃き出される。また、リセット時には、リセットゲート電極11のレベルが変化して $\Phi_{FCG}$ の電位が変わり、p型のウェル領域3のレベルは、レベル $\Phi_i$ まで戻されることになる。

【0024】次に、図7を参照しながら、この固体撮像素子の回路構成の一例について簡単に説明する。

【0025】その回路構成は、各画素が増幅用のトランジスタ22を有し、容量24と直列に配されたフォトダイオード21がそのチャンネル側に配置され、そのフォトダイオード21からの電荷によって増幅用トランジスタ22の電流が変調される。リセットトランジスタ23は、フォトダイオード21の一端(p型のウェル領域3)に接続し、信号電荷のリセットを行う。このような各画素は、マトリクス状に配列され、第1垂直走査回路32からの垂直ゲート線VG<sub>n</sub>、VG<sub>n+1</sub>、・・・によって、増幅用トランジスタ22からの信号が垂直信号線H<sub>n</sub>、H<sub>n+1</sub>、・・・に現れる。リセット動作は、第2垂直走査回路33からの垂直リセット線VR<sub>n</sub>、VR<sub>n+1</sub>、・・・によって行われ、リセットトランジスタ23のゲート電圧が変化して、リセット動作が行われる。このリセット線によりオーバーフローを受光時に制御することも可能である。各垂直信号線H<sub>n</sub>、H<sub>n+1</sub>、・・・に現れた信号は、水平走査回路31によって選択される水平スイッチ34のオン・オフによって、順次、水平信号線VLに読み出され、この水平信号線VLを終端するように設けられている増幅器35を介して出力されることになる。

【0026】ここで、この固体撮像素子について、CMD型の固体撮像素子と比較しながら、図8～図11を参照してより詳しく説明する。

【0027】図8は、この固体撮像素子(以下FWA(Floating Well Amplifier)型と称する。)のモデルであり、p型のシリコン基板100上にn型のウェル領域101が形成され、このn型のウェル領域101に囲まれて島領域としてのp型のウェル領域102が形成される。基板表面にはp型のウェル領域102に囲まれてソース領域103が形成され、そのp型のウェル領域102が延在された基板表面にドレイン領域104が形成される。これらソース領域103とドレイン領域104の間の基板表面上にはゲート電極105が形成される。

【0028】図10は、図8に示したFWA型のモデルのゲート下部のポテンシャル分布を示し、曲線P<sub>1</sub>がゲ\*

$$\begin{aligned} \delta Q_1 &= C_1 (\delta V_g - \delta \Phi_1) + C_2 (\delta \Phi_2 - \delta \Phi_1) \\ &= C_1 \delta V_g - (C_1 + C_2) \delta \Phi_1 + C_2 \delta \Phi_2 \quad \dots \text{第1式} \end{aligned}$$

$$\begin{aligned} \delta Q_2 &= C_2 (\delta \Phi_1 - \delta \Phi_2) - C_3 \delta \Phi_2 \\ &= C_2 \delta \Phi_1 - (C_2 + C_3) \delta \Phi_2 \quad \dots \text{第2式} \end{aligned}$$

の連立方程式が得られ、式①、②より、 $\delta \Phi_2$ を消去す※ ※ると、

$$\begin{aligned} \delta Q_1 &= C_1 \delta V_g - (C_1 + C_2 C_3 / (C_2 + C_3)) \delta \Phi_1 \\ &\quad - C_2 / (C_2 + C_3) \delta Q_2 \quad \dots \text{第3式} \end{aligned}$$

が得られる。

【0033】この第3式より、素子特性として重要なチャンネルキャパシタンス( $-\delta Q_1 / \delta \Phi_1$ )、チャ-

$$\begin{aligned} -\delta Q_1 / \delta \Phi_1 &= (C_1 + C_2 C_3 / (C_2 + C_3)) \\ &\quad w_1^{-1} + (w_2 + w_3)^{-1} \quad \dots \text{第4式} \end{aligned}$$

\*ート電極のレベルが低レベルとされた蓄積時の曲線であり、曲線P<sub>2</sub>がゲート電極のレベルが高レベルとされた読み出し時の曲線である。曲線P<sub>1</sub>に示すように、ゲート電極のレベルが低レベルならば、n型のウェル領域101による極小点u<sub>1</sub>よりも浅い領域では、フォトホールがp型のウェル領域102内に蓄積される。また、ゲート電極のレベルが高レベルならば、ホールが極大値u<sub>2</sub>のところに集められることになり、その蓄積されたホールの電荷量に応じて、バックゲート(ボディエフェクト)の効果が加わり、表面電荷を変調させて、読み出しが行われることになる。

【0029】図9は、比較すべき従来例としてのCMD型の固体撮像素子のモデルであり、p型のシリコン基板110上に8～10μm程度の厚いn型のエピタキシャル層111が形成される。厚いn型のエピタキシャル層111の表面には、それぞれn<sup>+</sup>型の不純物領域からなるソース領域112、ドレイン領域113が形成され、離間したソース・ドレイン領域の間上にはゲート電極114が形成される。

【0030】図11は、図9の素子のゲート下部のポテンシャル分布であって、曲線P<sub>3</sub>がゲート電圧が低レベルの時(蓄積時)、曲線P<sub>4</sub>がゲート電圧が高レベルの時である。この素子では、n型のエピタキシャル層111が厚く形成され、バルクモードのチャンネルも深くなることから、飽和電流量や光感度特性等が劣化する。

【0031】ここで、図10と図11の各ポテンシャル分布に対応した各部にパラメーターを与えて、考察してみると、まず、この本発明に係るFWA型の固体撮像素子では、ゲート電極から電子のチャンネルが形成される基板表面までの距離をw<sub>1</sub>、その表面チャンネルからホールの蓄積される深さまでの距離をw<sub>2</sub>、シリコン中の空乏層の距離をw<sub>3</sub>とし、それに対応した容量をそれぞれC<sub>1</sub>、C<sub>2</sub>、C<sub>3</sub>とすると共に、ゲート電圧をV<sub>g</sub>、エレクトロン電荷をQ<sub>1</sub>としてその電位をΦ<sub>1</sub>、同じくホール電荷をQ<sub>2</sub>としてその電位をΦ<sub>2</sub>とする。

【0032】すると、電荷量=容量×電位差であることから、その変化する分を考えると、

ジセンシティビティ( $-\delta Q_1 / \delta Q_2$ )、ゲートセンシティビティ( $\delta \Phi_1 / \delta V_g$ )についてそれぞれ計算すると、

$$\begin{aligned} & -\delta Q_1 / \delta Q_2 = C_2 / (C_2 + C_s) \\ & \quad w_s / (w_2 + w_s) \quad \dots \text{第5式} \end{aligned}$$

$$\begin{aligned} \delta \Phi_1 / \delta V_g &= C_1 / (C_1 + C_2 C_s / C_2 + C_s) \\ & \quad (w_2 + w_s) / (w_1 + w_2 + w_s) \quad \dots \text{第6式} \end{aligned}$$

$$(\because C_1 = \epsilon_{si} / w_1, C_2 = \epsilon_{si} / w_2, C_s = \epsilon_{si} / w_s)$$

となる。

【0034】一方、図9、図11のCMD素子に対して同様のパラメーターを与え、ゲート電極からホール層の蓄積される基板表面までの距離を $w_{01}$ 、その表面チャンネルから電子のチャンネルの深さまでの距離を $w_{02}$ 、シリ

\*コン中の空乏層の距離を $w_{ss}$ とし、それに対応した容量をそれぞれ $C_{01}$ 、 $C_{02}$ 、 $C_{ss}$ とすると共に、ゲート電圧を $V_g$ 、ホール電荷を $Q_{01}$ としてその電位を $\Phi_{01}$ 、同じくエレクトロン電荷を $Q_{02}$ としてその電位を $\Phi_{02}$ とする。すると、同様の連立方程式が得られ、

$$\begin{aligned} \delta Q_{01} &= C_{01} (\delta V_g - \delta \Phi_{01}) + C_{02} (\delta \Phi_{02} - \delta \Phi_{01}) \\ &= C_{01} \delta V_g - (C_{01} + C_{02}) \delta \Phi_{01} + C_{02} \delta \Phi_{02} \quad \dots \text{第7式} \end{aligned}$$

$$\begin{aligned} \delta Q_{02} &= C_{02} (\delta \Phi_{01} - \delta \Phi_{02}) - C_{ss} \delta \Phi_{02} \\ &= C_{02} \delta \Phi_{01} - (C_{02} + C_{ss}) \delta \Phi_{02} \quad \dots \text{第8式} \end{aligned}$$

これら⑦、⑧式より、

$$\begin{aligned} \delta Q_{02} &= - (C_{01} C_{02} / (C_{01} + C_{02}) + C_{ss}) \delta \Phi_{02} \\ & \quad + C_{02}^2 \delta V_g / (C_{01} + C_{02}) \\ & \quad - C_{02} \delta \Phi_{01} / (C_{01} + C_{02}) \quad \dots \text{第9式} \end{aligned}$$

この第9式より、同様に素子特性として重要な：チャンネルキャパシタンス； $-\delta Q_{02} / \delta \Phi_{02}$ 、チャージセンシティ； $-\delta Q_{02} / \delta Q_{01}$ 、ゲートセンシティ※

※ビィティ； $\delta \Phi_{02} / \delta V_g$ についてそれぞれ計算する

$$\begin{aligned} -\delta Q_{02} / \delta \Phi_{02} &= (C_{01} C_{02} / (C_{01} + C_{02}) + C_{ss}) \\ & \quad (w_{01} + w_{02})^{-1} + w_{ss}^{-1} \quad \dots \text{第10式} \end{aligned}$$

$$\begin{aligned} -\delta Q_{02} / \delta Q_{01} &= C_{02} / (C_{01} + C_{02}) \\ & \quad w_{01} / (w_{01} + w_{ss}) \quad \dots \text{第11式} \end{aligned}$$

$$\begin{aligned} \delta \Phi_{02} / \delta V_g &= C_{02}^2 / ((C_{01} + C_{02}) C_{ss} + C_{01} C_{02}) \\ & \quad (w_{01} + w_{ss}) / w_{02} (w_{01} + w_{02} + w_{ss}) \quad \dots \text{第12式} \end{aligned}$$

式

$$(\because C_{01} = \epsilon_{si} / w_{01}, C_{02} = \epsilon_{si} / w_{02}, C_{ss} = \epsilon_{si} / w_{ss})$$

となる。

【0035】ここで、各素子を構成するパラメーターとして、第4式～第6式に $w_1 = 0.1 \mu\text{m}$ 、 $w_2 = 1 \mu\text{m}$ 、 $w_s = 5 \mu\text{m}$ の各数値を代入し、第10式～第12式に $w_{01} = 0.1 \mu\text{m}$ 、 $w_{02} = 2 \mu\text{m}$ 、 $w_{ss} = 10 \mu\text{m}$ の各数値を代入して、チャンネルキャパシタンス ( $C_{ch}$ )、チャージセンシティビィティ ( $\delta Q_{ch} / \delta Q_{photo}$ ) 及びゲートセンシティビィティ ( $\delta \Phi_{ch} / \delta V_g$ ) に各値について比較してみる。尚、 $w_1$ 、 $w_{01}$ の値は誘電率の補正をした数値であり、本発明の固体撮像素子にかかる $w_2$ 、 $w_s$ については、多少最適値より外れた数値を代入している。その結果について表1に示す。

【0036】

【表1】

30

	FWA	CMD	FWA/CMD
$C_{ch}$	10.1	0.58	17.4
$\delta Q_{ch} / \delta Q_{photo}$	0.85	0.05	16.6
$\delta \Phi_{ch} / \delta V_g$	0.98	0.82	1.18

(数値は相対値)

【0037】このような比較によって、本発明に係るFWA型の固体撮像素子では、CMD型よりも飽和電流量 ( $C_{ch}$ ) や光感度 ( $\delta Q_{ch} / \delta Q_{photo}$ ) の点で16～17倍程度の特長向上が得られることになり、ゲートの選択性 ( $\delta \Phi_{ch} / \delta V_g$ ) も向上することが判る。また、FWA型のパラメーターを最適化することによってさらに特性が向上する。

【0038】また、図8に示したように、この固体撮像素子では、ソース領域103やドレイン領域104の下部にもp型のウェル領域102が拡がることになり、このウェル領域102に光信号電荷が蓄積されるため、ソース領域103やドレイン領域104の領域に光が入射した場合でも、光感度が得られることになり、上述の特

50

性向上と合わせてさらに素子の感度が高くなる。

【0039】以上のように、この実施の形態における固体撮像素子では、第2導電型の半導体層の表面に形成された第2導電型のソース領域が第1導電型の島領域に囲まれ、その島領域が同じく表面に形成された第2導電型のドレイン領域まで延在される。ここで、第1導電型をp型、第2導電型をn型とすると、そのポテンシャル分布は、p型の島領域で極値を有するようになり、そのp型の島領域にフォトホールが蓄積されることになる。そして、分光感度を有する領域は、n型の半導体層のポテンシャルの極小値の深さまでとなり、感度が向上することになる。このフォトホールを捕獲できる深さは、島領域、半導体層、半導体基板の深さ、濃度等によってフォトホールが蓄積される深さとは独立に設定でき、上記CMD型に比較してその深さを浅くすることで、ショートチャンネル効果の抑制や電流容量の増大が可能となる。また、このように光感度を有する深さと、フォトホールが蓄積される深さを独立して設定できるため、その比例縮小が容易に行なえる。また、ゲート及びその近傍以外の部分でもp型の島領域等が分光感度を有することになり、その開口率が大幅に向上する。また、p型の島領域の深さによって、表面に近い位置にフォトホールを蓄積させ、そのミラー電荷を表面側に十分集めることも容易であり、非破壊な読み出しに有利となる。

【0040】

【発明の効果】本発明の固体撮像素子では、上述のように、半導体基板上に形成されたソース領域及びドレイン領域と、これらソース領域及びドレイン領域の間に設けられたゲート領域と、該ゲート領域上に絶縁層を介して設けられたゲート電極からなり、上記ゲート電極下に光電変換により生じた信号電荷を蓄積するとともに、上記ゲート領域の表面に上記ゲート電極下に蓄積された上記信号電荷の量に応じた表面チャンネルが形成されるようになされているため、ショートチャンネル効果の抑制や

電流容量の増大が可能となる。また、非破壊な読み出しにも有利となる。

【図面の簡単な説明】

【図1】本発明の固体撮像素子の一例の要部断面図である。

【図2】図1のII-II線断面に沿ったポテンシャル分布図である。

【図3】図1のIII-III線断面に沿ったポテンシャル分布図である。

10 【図4】上記固体撮像素子の平面レイアウトの一例を示す平面図である。

【図5】上記固体撮像素子のリセット手段の各例を示す断面図である。

【図6】リセット手段におけるポテンシャルを説明するための説明図である。

【図7】上記固体撮像素子にかかる回路構成例を示す回路図である。

【図8】上記固体撮像素子のモデルの構造を示す断面図である。

20 【図9】従来の固体撮像素子のモデルの構造を示す断面図である。

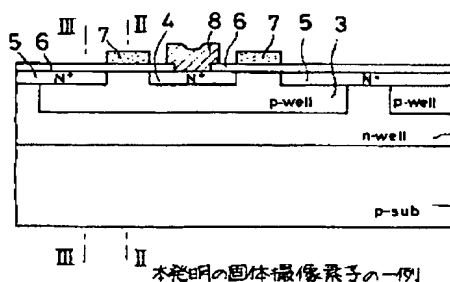
【図10】図8に示した固体撮像素子のゲート直下のポテンシャル分布図である。

【図11】図9に示した固体撮像素子のゲート直下のポテンシャル分布図である。

【符号の説明】

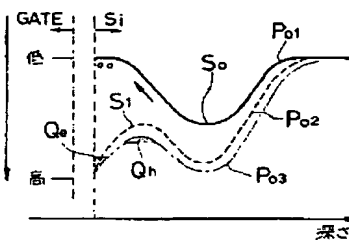
- 1 p型のシリコン基板
- 2 n型のウェル領域
- 3 p型のウェル領域
- 30 4 ソース領域
- 5 ドレイン領域
- 6 絶縁膜
- 7 ゲート電極

【図1】



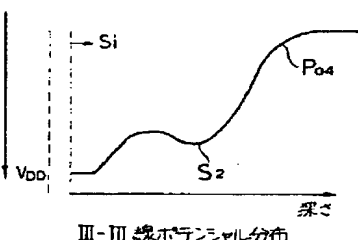
本発明の固体撮像素子の一例

【図2】



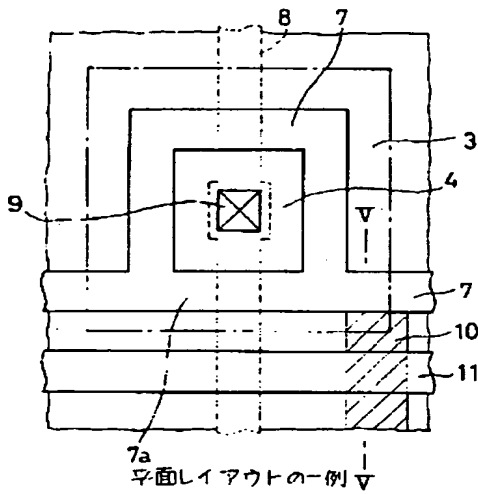
II-II線ポテンシャル分布

【図3】

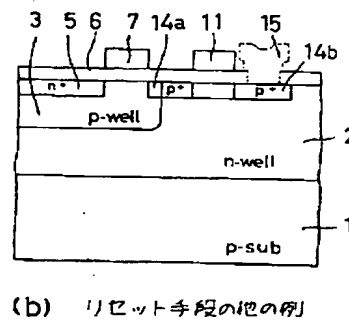
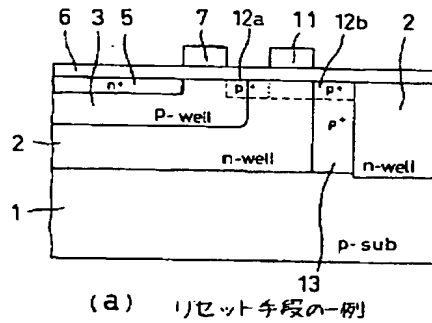


III-III線ポテンシャル分布

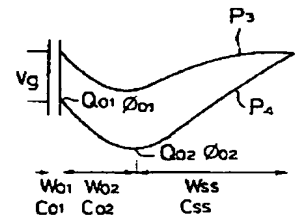
【図4】



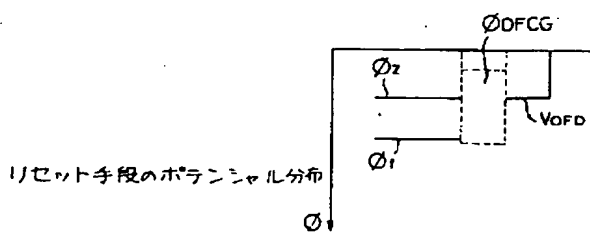
【図5】



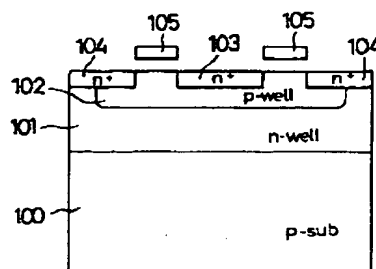
【図11】



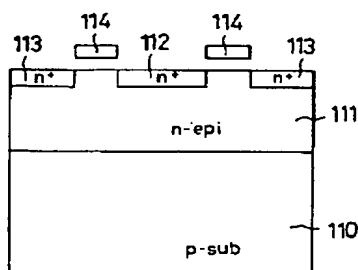
【図6】



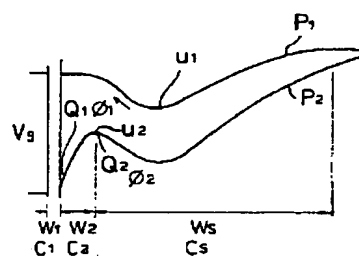
【図8】



【図9】



【図10】



【図7】

